

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-102866

(43)Date of publication of application : 13.04.2001

(51)Int.Cl.

H03B 5/24  
H03K 3/0231  
H03K 3/354

(21)Application number : 11-279481

(71)Applicant : DENSO CORP

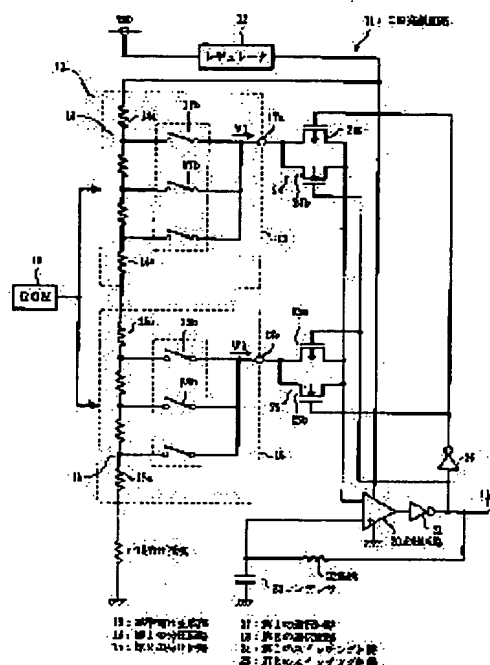
(22)Date of filing : 30.09.1999

(72)Inventor : IWASAKI HISAAKI  
KITAMURA NORIYASU

## (54) CR OSCILLATION CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the accuracy of an oscillation frequency by absorbing dispersion of a circuit constant in production.  
**SOLUTION:** A capacitor 23 performs charging/discharging through a resistor 22 corresponding to the comparing output of a comparator circuit 20. The comparing output of the comparator circuit 20 becomes a low level until increasing the terminal voltage of the capacitor 23 to a first reference voltage V1 and becomes high level until lowering the terminal voltage to a second reference voltage V2. A reference voltage generating part 13 has first and second voltage divider circuits 14 and 15 for generating the first reference voltage V1 and the second reference voltage V2 at the interval of plural stages, a first selector circuit 17 for outputting the reference voltage selected by a select signal from an EEPROM 19 out of the first reference voltages V1 of plural stages and a second selector circuit 18 for outputting the reference voltage selected by the select signal out of the second reference voltages V2 of plural stages. The selected reference voltages V1 and V2 are inputted to the comparator circuit 20 by any one of first and second switching circuits 24 and 25.



## LEGAL STATUS

[Date of request for examination] 07.01.2002

[Date of sending the examiner's decision of rejection] 29.06.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

**THIS PAGE BLANK (USPTO)**

(51) Int. Cl. <sup>7</sup>	識別記号	FI	テ-マ-ド (参考)	
H03B	5/24	H03B	5/24	5J043
H03K	3/0231	H03K	3/354	C 5J081
	3/354		3/023	A

審査請求 未請求 請求項の数 5 OL (全 6 頁)

(21) 出願番号 特願平11-279481  
 (22) 出願日 平成11年9月30日 (1999.9.30)

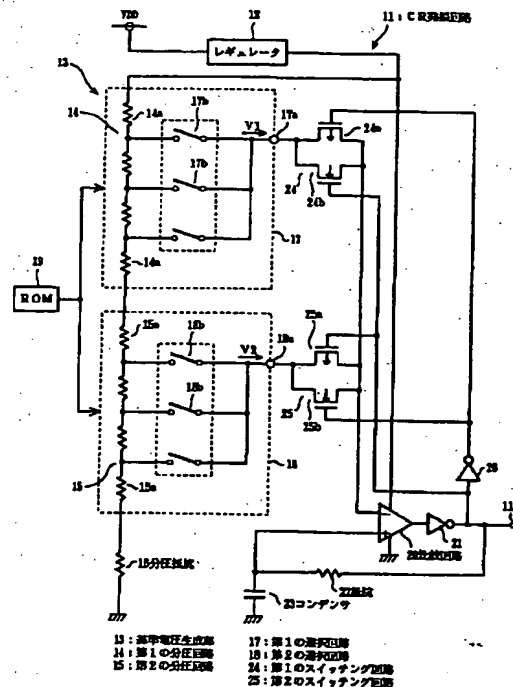
(71) 出願人 000004260  
 株式会社デンソー  
 愛知県刈谷市昭和町1丁目1番地  
 (72) 発明者 岩▲崎▼ 寿明  
 愛知県刈谷市昭和町1丁目1番地 株式会社  
 デンソー内  
 (72) 発明者 北村 哲康  
 愛知県刈谷市昭和町1丁目1番地 株式会社  
 デンソー内  
 (74) 代理人 100071135  
 弁理士 佐藤 強

最終頁に続く

(54) 【発明の名称】 CR発振回路

(57) 【要約】

【課題】 製造工程での回路定数のばらつきを吸収して、発振周波数の精度向上を実現すること。  
 【解決手段】 コンデンサ23は、比較回路20の比較出力により抵抗22を介して充放電動作を行う。比較回路20の比較出力は、コンデンサ23の端子電圧が第1の基準電圧V1に上昇するまでローレベル、端子電圧が第2の基準電圧V2に低下するまでハイレベルとなる。基準電圧生成部13は、複数段階ずつの第1の基準電圧V1及び第2の基準電圧V2を発生する第1の分圧回路14及び第2の分圧回路15と、複数段階の第1の基準電圧V1のうちEEPROM19からの選択信号により選択された基準電圧を出力する第1の選択回路17と、複数段階の第2の基準電圧V2のうち選択信号により選択された基準電圧を出力する第2の選択回路18とを有する。選択された基準電圧V1、V2は、第1のスイッチング回路24及び第2のスイッチング回路25の何れかにより比較回路20に入力される。



## 【特許請求の範囲】

【請求項 1】 抵抗を通じたコンデンサの充放電動作に基づいて所定周波数の発振信号を生成するものであって、

互いに異なるレベルの第 1 の基準電圧及び第 2 の基準電圧を出力する基準電圧生成部と、

前記コンデンサの端子電圧と前記基準電圧生成部の出力電圧とを比較するように設けられ、その比較出力が第 1 のレベルにあるときに上記コンデンサの充電動作を行うと共に、比較出力が第 2 のレベルにあるときにコンデンサの放電動作を行う比較回路と、

この比較回路の比較出力が第 1 のレベルにあるときにオンして前記第 1 の基準電圧を当該比較回路の比較入力端子に与える第 1 のスイッチング回路と、

前記比較回路の比較出力が第 2 のレベルにあるときにオンして前記第 2 の基準電圧を当該比較回路の比較入力端子に与える第 2 のスイッチング回路とを備えた CR 発振回路において、

前記基準電圧生成部は、

複数の抵抗要素を直列接続して構成され、印加電圧を各抵抗要素により分圧することにより複数段階の第 1 の基準電圧を発生する第 1 の分圧回路と、

複数の抵抗要素を直列接続して構成され、印加電圧を各抵抗要素により分圧することにより複数段階の第 2 の基準電圧を発生する第 2 の分圧回路と、

前記複数段階の第 1 の基準電圧のうち選択信号により選択された基準電圧を出力する第 1 の選択回路と、

前記複数段階の第 2 の基準電圧のうち選択信号により選択された基準電圧を出力する第 2 の選択回路とを備えたことを特徴とする CR 発振回路。

【請求項 2】 前記第 1 の分圧回路及び第 2 の分圧回路は、所定電圧を発生する端子間に分圧抵抗を介して直列接続され、

前記分圧抵抗は、その抵抗温度係数が前記各抵抗要素の抵抗温度係数より大きな値に設定されていることを特徴とする請求項 1 記載の CR 発振回路。

【請求項 3】 前記第 1 の選択回路及び第 2 の選択回路に与えられる前記選択信号は、記憶手段のアドレス指定に応じて出力されるものであることを特徴とする請求項 1 または 2 記載の CR 発振回路。

【請求項 4】 電源電圧の最下限電圧より低いレベルの安定化電圧を発生するレギュレータを備え、このレギュレータの出力を前記比較回路の電源として使用することを特徴とする請求項 1 ないし 3 の何れかに記載の CR 発振回路。

【請求項 5】 全体がワンチップ IC 化されていることを特徴とする請求項 1 ないし 4 の何れかに記載の CR 発振回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンデンサの充放電特性に基づいて所定周波数の発振信号を生成するようにした CR 発振回路、特に、コンデンサの充放電動作を比較回路の比較出力に基づいて行うようにした CR 発振回路に関する。

【0002】

【従来の技術】図 3 には、例えば車両用キーレスエントリーシステムの携帯型送信機に使用される CR 発振回路の構成例が示されている。この図 3 において、CR 発振回路 1 は、全体がワンチップ IC 化されたもので、各内部回路要素の電源は、内蔵電池に接続された電源端子 VDD から与えられるようになっている。この電源端子 VDD と接地端子との間に接続された基準電圧生成部 2 は、例えば多結晶シリコン膜を抵抗要素とした抵抗分圧回路により構成されており、第 1 の基準電圧 V1 及び第 2 の基準電圧 V2 ( $V1 > V2$ ) を出力する。

【0003】比較回路 3 は、その出力端子がインバータ回路 4 を介して CR 発振回路 1 の出力端子 1 a に接続されている。また、上記出力端子 1 a は、抵抗 5 及びコンデンサ 6 の直列回路を介して接地端子に接続されており、比較回路 3 の非反転入力端子 (+) には、当該コンデンサ 6 の端子電圧が与えられる構成となっている。比較回路 3 の反転入力端子 (-) には、前記第 1 の基準電圧 V1 及び第 2 の基準電圧 V2 の一方が、第 1 のスイッチング回路 7 或いは第 2 のスイッチング回路 8 を通じて選択的に与えられる構成となっている。尚、上記抵抗 5 は、例えば多結晶シリコン膜を利用して形成され、コンデンサ 6 は、絶縁膜 (例えば酸化シリコン膜) を利用して形成されるものである。

【0004】第 1 のスイッチング回路 7 は、P チャネル FET 7 a 及び N チャネル FET 7 b を並列接続したもので、FET 7 a のゲートには、インバータ回路 4 の出力がインバータ回路 9 を介して与えられ、FET 7 b のゲートには、インバータ回路 4 の出力が直接的に与えられる。また、第 2 のスイッチング回路 8 は、P チャネル FET 8 a 及び N チャネル FET 8 b を並列接続したもので、FET 8 a のゲートには、インバータ回路 4 の出力が直接的に与えられ、FET 8 b のゲートには、インバータ回路 4 の出力がインバータ回路 9 を介して与えられる。

【0005】この構成によれば、コンデンサ 6 の充電期間、つまりインバータ回路 4 の出力がハイレベルに反転した期間 (比較回路 3 の比較出力がローレベルの期間) には、第 1 のスイッチング回路 7 内の FET 7 a、7 b がオンされるため、比較回路 3 の反転入力端子 (-) に第 1 の基準電圧 V1 が与えられている。この後、コンデンサ 6 の端子電圧が第 1 の基準電圧 V1 まで上昇すると、比較回路 3 の比較出力がハイレベルに反転してインバータ回路 4 の出力がローレベルに反転する。すると、コンデンサ 6 の放電動作が開始されると共に、第 2 のス

イッチング回路 8 内の FET 8 a、8 b がオンされるの  
に  
に応じて、比較回路 3 の反転入力端子 (-) に第 2 の基  
準電圧 V 2 が与えられようになる。そして、このような  
コンデンサ 6 の放電に応じて、当該コンデンサ 6 の端子  
電圧が第 2 の基準電圧 V 2 まで低下すると、比較回路 3  
の比較出力がローレベルに反転してインバータ回路 4 の  
出力がハイレベルに反転するため、コンデンサ 6 の充電  
動作が再開されると共に、比較回路 3 の反転入力端子  
(-) に第 1 の基準電圧 V 1 が与えられるようになる。  
要するに、コンデンサ 6 の充放電動作が、比較回路 3 の  
比較出力の交互反転動作に応じて周期的に実行され、こ  
れにより出力端子 1 a から所定周波数の三角波状発振信  
号を出力するという発振動作が行われるものである。

【0006】

【発明が解決しようとする課題】上記のような IC 化さ  
れた CR 発振回路 1 にあっては、その製造工程（半導体  
製造プロセス）において、コンデンサ 6 の初期容量値や  
抵抗 5 並びに基準電圧生成部 2 内の抵抗分圧回路の初期  
抵抗値がばらつくという事情がある。このため、CR 発  
振回路 1 を製造するに当たって、コンデンサ 6 の充放電  
時定数や基準電圧生成部 2 の出力電圧が設計目標値から  
ずれることが避けられないものであり、結果的に発振周  
波数の精度が低下するという問題点があった。

【0007】本発明は上記問題点を解決するためになさ  
れたものであり、その目的は、製造工程での回路定数の  
ばらつきを吸収できて、発振周波数の精度向上を実現可  
能になるなどの効果を奏する CR 発振回路を提供するこ  
とにある。

【0008】

【課題を解決するための手段】請求項 1 記載の発明によ  
れば、コンデンサの充放電周期は、その充放電時定数  
と、比較回路の比較入力端子に与えられる第 1 の基準電  
圧及び第 2 の基準電圧のレベル（特には各基準電圧の電  
圧差）とに大きく依存して決まることになる。つまり、  
CR 発振回路の発振周波数は、コンデンサの充放電時定  
数が大きい場合ほど低くなり、第 1 の基準電圧及び第 2  
の基準電圧の電圧差が大きい場合ほど低くなる。

【0009】この場合、コンデンサの充放電時定数は、  
当該コンデンサの容量及び充放電用抵抗の抵抗値によっ  
て一義的に決まってしまうが、比較回路の比較入力端子  
に与える第 1 の基準電圧及び第 2 の基準電圧は、基準電  
圧生成部内の第 1 の分圧回路及び第 2 の分圧回路が発生  
する複数段階ずつの第 1 の基準電圧及び第 2 の基準電圧  
の中から、第 1 の選択回路及び第 2 の選択回路を通じて  
選択できる構成となっている。従って、例えば、コンデ  
ンサの充放電時定数を実際に測定した結果に基づいて第  
1 の基準電圧及び第 2 の基準電圧を選択することによ  
り、発振周波数を調整できることになり、以て製造工程  
で発生する回路定数（コンデンサの容量、充放電用抵抗  
の抵抗値など）のばらつきを吸収して発振周波数を設計

目標値に近付けることが可能になる。この結果、コンデ  
ンサの初期容量値や充放電用抵抗並びに基準電圧生成部  
内の分圧回路用抵抗要素の初期抵抗値がばらつくような  
状況下でも、発振周波数の精度向上を実現できるよう  
になる。

【0010】請求項 2 記載の発明によれば、複数段階の  
第 1 の基準電圧を発生するための第 1 の分圧回路及び複  
数段階の第 2 の基準電圧を発生するための第 2 の分圧回  
路は、所定電圧を発生する端子間に分圧抵抗を介して直  
列接続されており、また、その分圧抵抗の抵抗温度係数  
が前記各抵抗要素の抵抗温度係数より大きな値に設定さ  
れている。従って、周囲温度が上昇したときには、分圧  
抵抗の抵抗値の増加割合が各抵抗要素の抵抗値の増加割  
合より大きくなって、それら各抵抗要素の分担電圧のレ  
ベルが低下するから、結果的に第 1 の基準電圧及び第 2  
の基準電圧の電圧差が縮小するようになる。

【0011】この場合、周囲温度が上昇したときには、  
充放電用抵抗の抵抗値が大きくなるのに伴いコンデンサ  
の充放電時定数が増大するため、発振周波数を低下させ  
るように作用し、また、比較回路の温度特性（高温にな  
るのに伴い動作が遅くなるという特性）も発振周波数を  
低下させるように作用するが、このときには、第 1 の基  
準電圧及び第 2 の基準電圧の電圧差が縮小して発振周波  
数を上昇させるように作用するから、結果的に、このよ  
うに発振周波数を低下させようとする作用と上昇させよ  
うとする作用が相殺されるようになって、充放電用抵抗  
の温度特性に起因した発振周波数の変動を未然に防止で  
きるようになる。

【0012】請求項 3 記載の発明によれば、前記複数段  
階ずつの第 1 の基準電圧及び第 2 の基準電圧の中から所  
定の基準電圧を選択するための選択信号を、記憶手段の  
アドレス指定に応じて出力する構成となっているから、  
その基準電圧の選択を容易且つ確実に行い得るようにな  
る。

【0013】請求項 4 記載の発明によれば、前記比較回  
路の電源を、CR 発振回路の電源電圧の最下限電圧より  
低いレベルの安定化電圧を発生するレギュレータから得  
る構成となっているから、電源電圧が変動した場合でも  
、比較回路の電源電圧レベルは常時において安定した  
ものとなる。この結果、一般的な比較回路が有する電圧  
特性（電源電圧が低くなるのに応じて動作速度が低下す  
るという特性）の影響を受ける恐れがなくなり、電源電  
圧の変動に起因して発振周波数が変化する事態を未然に  
防止できるようになる。

【0014】

【発明の実施の形態】以下、本発明の一実施例について  
図 1 及び図 2 を参照しながら説明する。図 1 には、車両  
用キーレスエントリーシステムの携帯型送信機に使用され  
る CR 発振回路の構成例が示されている。この図 1 に  
おいて、本実施例で対象とする CR 発振回路 11 は、全

体がワンチップIC化されたもので、各内部回路要素の電源は、内蔵電池に接続された電源端子VDDからレギュレータ12を通じて与えられるようになっている。尚、上記レギュレータ12は、CR発振回路11の電源電圧（電源端子VDDの電圧）の最下限電圧より低いレベルの安定化電圧を発生する構成となっている。

【0015】レギュレータ12の出力端子と接地端子との間に接続された基準電圧生成部13は、互いに異なるレベルの第1の基準電圧V1及び第2の基準電圧V2

( $V1 > V2$ )を出力するためのものであり、これは以下のような構成となっている。即ち、基準電圧発生部13は、第1の分圧回路14、第2の分圧回路15及び分圧抵抗16を直列に接続した構成となっている。具体的には、第1の分圧回路14は複数個の抵抗要素14aを直列接続して構成され、各抵抗要素14aにより印加電圧を分圧することにより複数段階の第1の基準電圧V1を発生する。また、第2の分圧回路15は複数個の抵抗要素15aを直列接続して構成され、各抵抗要素15aにより印加電圧を分圧することにより複数段階の第2の基準電圧V2を発生する。

【0016】この場合、上記抵抗要素14a、15aは、例えば多結晶シリコン膜を利用して形成されているのに対して、分圧抵抗16は、例えばドレイン・ソース間を短絡した状態のNチャネルFETを利用して形成されており、これにより、分圧抵抗16の抵抗温度係数が、各抵抗要素14a、15aの抵抗温度係数（多結晶シリコンの場合、 $0.000685/^\circ\text{C}$ 程度）より大きい値となるように設定されている。

【0017】尚、図1では、抵抗要素14a、15aを4個ずつ設けて3段階ずつ基準電圧V1及びV2を発生する例を示したが、実際にはさらに多数個の抵抗要素が設けられて、多段階（例えば3段階程度）ずつの基準電圧V1及びV2を発生できるように構成されるものである。

【0018】一方、第1の分圧回路14を含んで構成された第1の選択回路17は、複数段階の第1の基準電圧V1の各出力点（各抵抗要素14aの共通接続点）と、出力端子17aとの間にそれぞれスイッチング要素17bを接続して構成されたもので、それらスイッチング要素17bの何れか一つがオンされることにより、所定の基準電圧V1を出力端子17aから出力する。また、第2の分圧回路15を含んで構成された第2の選択回路18は、複数段階の第2の基準電圧V2の各出力点（各抵抗要素15aの共通接続点）と、出力端子18aとの間にそれぞれスイッチング要素18bを接続して構成されたもので、それらスイッチング要素18bの何れか一つがオンされることにより、所定の基準電圧V2を出力端子18aから出力する。尚、上記各スイッチング要素17b及び18bは、例えばPチャネルFETを利用して構成することができる。

【0019】上記スイッチング要素17b群の何れか一つをオンさせるための選択信号、並びにスイッチング要素18b群の何れか一つをオンさせるための選択信号は、EEPROM19（記憶手段に相当）のアドレス指定に応じて当該EEPROM19から出力される構成となっている。

【0020】比較回路20は、その出力端子がインバータ回路21を介してCR発振回路11の出力端子11aに接続されている。また、上記出力端子11aは、充放電用の抵抗22及びコンデンサ23の直列回路を介して接地端子に接続されており、比較回路20の非反転入力端子(+)には、当該コンデンサ23の端子電圧が与えられる構成となっている。比較回路20の反転入力端子(-)には、前記第1の選択回路17からの第1の基準電圧V1及び前記第2の選択回路18からの第2の基準電圧V2の一方が、第1のスイッチング回路24或いは第2のスイッチング回路25を通じて選択的に与えられる構成となっている。尚、上記抵抗22は、例えば多結晶シリコン膜を利用して形成され、コンデンサ23は、絶縁膜（例えば酸化シリコン膜）を利用して形成されるものである。

【0021】第1のスイッチング回路24は、PチャネルFET24a及びNチャネルFET24bを並列接続したもので、FET24aのゲートには、インバータ回路21の出力がインバータ回路26を介して与えられ、FET24bのゲートには、インバータ回路21の出力が直接的に与えられる。また、第2のスイッチング回路25は、PチャネルFET25a及びNチャネルFET25bを並列接続したもので、FET25aのゲートには、インバータ回路21の出力が直接的に与えられ、FET25bのゲートには、インバータ回路21の出力がインバータ回路26を介して与えられる。

【0022】上記構成の作用は以下の通りである。即ち、コンデンサ23の充電期間、つまりインバータ回路21の出力がハイレベルに反転した期間（比較回路20の比較出力がローレベル（本発明でいう第1のレベルに相当）の期間）には、第1のスイッチング回路24内のFET24a、24bがオンされるため、比較回路20の反転入力端子(-)に第1の基準電圧V1が与えられている。この後、コンデンサ23の端子電圧が第1の基準電圧V1まで上昇すると、比較回路20の比較出力がハイレベル（本発明でいう第1のレベルに相当）に反転してインバータ回路21の出力がローレベルに反転する。すると、コンデンサ23の放電動作が開始されると共に、第2のスイッチング回路25内のFET25a、25bがオン（第1のスイッチング回路24内のFET24a、24bはオフ）されるのに応じて、比較回路20の反転入力端子(-)に第2の基準電圧V2が与えられるようになる。そして、このようなコンデンサ23の放電に応じて、当該コンデンサ23の端子電圧が第2の基

準電圧V2まで低下すると、比較回路20の比較出力がローレベルに反転してインバータ回路21の出力がハイレベルに反転するため、コンデンサ23の充電動作が再開されると共に、比較回路20の反転入力端子(-)に第1の基準電圧V1が与えられる。

【0023】要するに、コンデンサ23の充放電動作が、比較回路20の比較出力の交互反転動作に応じて周期的に実行されるのに応じて、そのコンデンサ23の端子電圧が図2に示すように第1の基準電圧V1と第2の基準電圧V2との間で変化するものであり、これにより出力端子1aから所定周波数の三角波状発振信号を出力という発振動作が行われるものである。

【0024】ところで、コンデンサ23の充放電周期T(図2参照)は、その充放電時定数と、比較回路20の比較入力端子に与えられる第1の基準電圧V1及び第2の基準電圧V2の電圧差 $\Delta V$ (図2参照)とに大きく依存して決まることになる。つまり、CR発振回路11の発振周波数は、コンデンサ23の充放電時定数が大きい場合ほど低くなり、第1の基準電圧V1及び第2の基準電圧V2の電圧差 $\Delta V$ が大きい場合ほど低くなる。

【0025】この場合、コンデンサ23の充放電時定数は、当該コンデンサ23の容量及び充放電用抵抗22の抵抗値によって一義的に決まってしまうが、比較回路20の反転入力端子(-)に与える第1の基準電圧V1及び第2の基準電圧V2は、基準電圧生成部13内の第1の分圧回路14及び第2の分圧回路15が発生する複数段階ずつの第1の基準電圧V1及び第2の基準電圧V2の中から、第1の選択回路17及び第2の選択回路18を通じて選択できる構成となっている。

【0026】従って、例えば、コンデンサ23の充放電時定数を実際に測定した結果に基づいて第1の基準電圧V1及び第2の基準電圧V2を選択することにより、発振周波数を調整できることになり、以て製造工程で発生する回路定数(コンデンサ23の容量、充放電用抵抗22の抵抗22値など)のばらつきを吸収して発振周波数を設計目標値に近付けることが可能になる。この結果、コンデンサ23の初期容量値や充放電用抵抗22並びに基準電圧生成部13内の分圧回路用抵抗要素14a、15aの初期抵抗値がばらつくような状況下でも、発振周波数の精度向上を実現できるようになる。

【0027】また、複数段階の第1の基準電圧V1を発生するための第1の分圧回路14及び複数段階の第2の基準電圧V2を発生するための第2の分圧回路15は、所定電圧を発生する端子間(レギュレータ12の出力端子及び接地端子間)に分圧抵抗16を介して直列接続されており、また、その分圧抵抗16の抵抗温度係数が各分圧回路14及び15を構成する抵抗要素14a及び15aの抵抗温度係数より大きな値に設定されている。従って、周囲温度が上昇したときには、分圧抵抗16の抵抗値の増加割合が各抵抗要素14a及び15aの抵抗値

の増加割合より大きくなって、それら各抵抗要素14a及び15aの分圧電圧のレベルが低下するから、結果的に第1の基準電圧V1及び第2の基準電圧V2の電圧差 $\Delta V$ が縮小するようになる。

【0028】この場合、周囲温度が上昇したときには、充放電用抵抗22の抵抗値が大きくなるのに伴いコンデンサ23の充放電時定数が増大するため、発振周波数を低下させるように作用し、また、比較回路20の温度特性(高温になるのに伴い動作が遅くなるという特性)も発振周波数を低下させるように作用するが、このときには、第1の基準電圧V1及び第2の基準電圧V2の電圧差 $\Delta V$ が縮小して発振周波数を上昇させるように作用するから、結果的に、このように発振周波数を低下させようとする作用と上昇させようとする作用が相殺されるようになって、充放電用抵抗の温度特性に起因した発振周波数の変動を未然に防止できるようになる。

【0029】また、複数段階ずつの第1の基準電圧V1及び第2の基準電圧V2の中から所定の基準電圧を選択するための選択信号を、EEPROM19のアドレス指定に応じて出力する構成となっているから、その基準電圧V1及びV2の選択を容易且つ確実にに行い得るようになる。

【0030】さらに、比較回路20の電源を、CR発振回路11の電源電圧の最下限電圧より低いレベルの安定化電圧を発生するレギュレータ12から得る構成となっているから、電源電圧が変動した場合でも、比較回路20の電源電圧レベルは常時において安定したものとなる。この結果、一般的な比較回路20が有する電圧特性(電源電圧が低くなるのに応じて動作速度が低下するという特性)の影響を受ける恐れがなくなり、電源電圧の変動に起因して発振周波数が変化する事態を未然に防止できるようになる。

【0031】尚、本発明は上記した実施例に限定されるものではなく、次のような変形または拡張が可能である。第1の分圧回路14、第2の分圧回路15を直列接続する構成としたが、所定電圧を発生する端子間に第1の分圧回路14と第2の分圧回路と互いに並列接続する構成としても良く、要は、複数段階の中から選択される第1の基準電圧V1と第2の基準電圧V2との関係が $V1 > V2$ となれば良いものである。尚、このように第1の分圧回路14及び第2の分圧回路15を並列接続する場合、周囲温度が上昇したときに第1の基準電圧及び第2の基準電圧の電圧差 $\Delta V$ を縮小するためには、一方の分圧回路のみと直列に分圧抵抗16を接続すれば良い(例えば接地端子側に分圧抵抗16を接続する場合には、第2の分圧回路15と直列に接続する)。

【0032】比較回路20の非反転入力端子(+)にコンデンサ23の端子電圧を与え、その反転入力端子(-)に第1の基準電圧V1及び第2の基準電圧V2を選択的に与える構成としたが、これに限らないことは勿

論である。また、分圧抵抗16は、接地端子側に接続される関係上、NチャネルFETにより構成したが、レギュレータ12の出力端子側に接続する場合には、PチャネルFETにより構成することになる。勿論、分圧抵抗16は他の素子により形成しても良い。

【図面の簡単な説明】

【図1】 本発明の一実施例を示す回路構成図

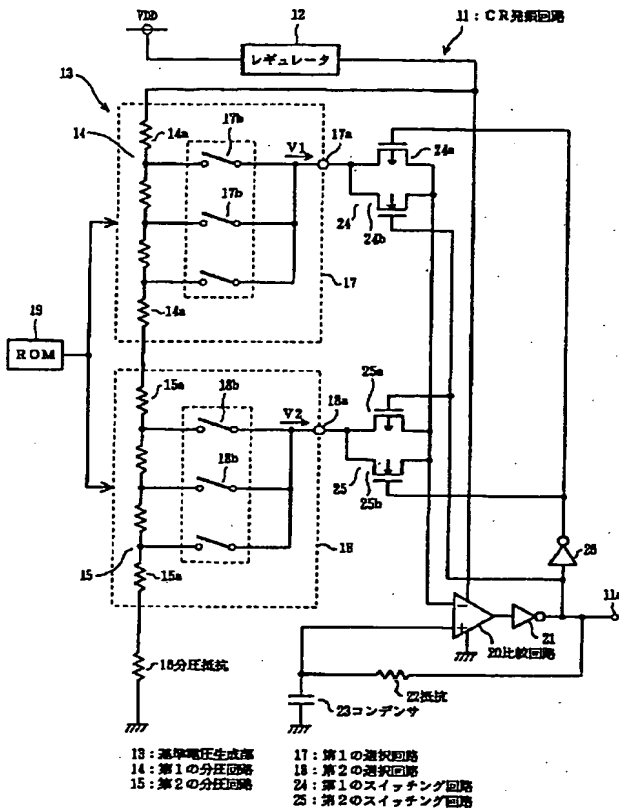
【図2】 コンデンサ端子電圧の波形図

【図3】 従来構成を示す図1相当図

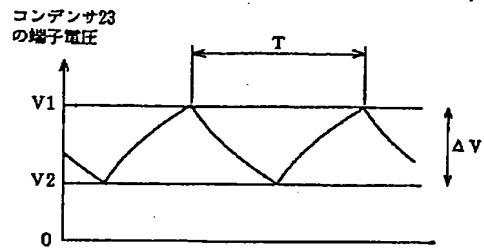
【符号の説明】

11はCR発振回路、12はレギュレータ、13は基準電圧生成部、14は第1の分圧回路、14aは抵抗要素、15は第2の分圧回路、15aは抵抗要素、16は分圧抵抗、17は第1の選択回路、18は第2の選択回路、19はEEPROM（記憶手段）、20は比較回路、22は抵抗、23はコンデンサ、24は第1のスイッチング回路、25は第2のスイッチング回路を示す。

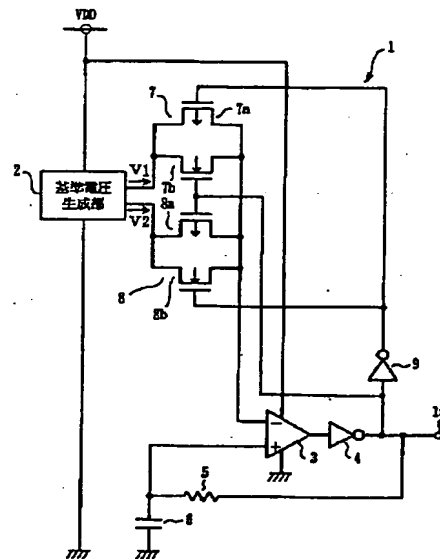
【図1】



【図2】



【図3】



フロントページの続き

- Fターム(参考) 5J043 AA26 GG01  
 5J081 AA08 BB04 CC17 CC46 DD09  
 EE03 EE04 FF08 FF11 FF18  
 FF23 FF25 GG05 KK02 KK12  
 KK23 LL05 MM01